

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月 15日

出願番号 Application Number: 特願 2003-007281

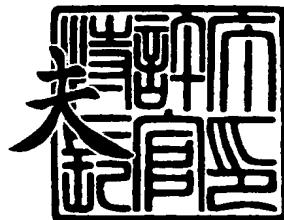
[ST. 10/C]: [JP 2003-007281]

出願人 Applicant(s): セイコーエプソン株式会社

2003年11月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 EP-0405101

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 原 一巳

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体チップ、半導体ウェハ、半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、

前記第2の面の一部の領域を避けて、前記突出部の周辺領域に形成されてなる絶縁層と、

を有する半導体チップ。

【請求項 2】 請求項1記載の半導体チップにおいて、

前記絶縁層は、前記突出部から離れるに従って薄くなるように形成されてなる半導体チップ。

【請求項 3】 半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、

前記第2の面の全面に形成されてなる絶縁層と、

を有し、

前記絶縁層は、前記突出部の周辺領域に形成された第1の絶縁部と、それ以外の第2の絶縁部と、を含み、

前記第2の絶縁部は、前記第1の絶縁部の最も厚い部分よりも薄く形成されてなる半導体チップ。

【請求項 4】 請求項3記載の半導体チップにおいて、

前記第1の絶縁部は、前記突出部から離れるに従って薄くなるように形成されてなる半導体チップ。

【請求項 5】 半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、
前記第2の面の一部の領域を避けて、前記第2の面の前記突出部の周辺領域に形成されてなる絶縁層と、
を有し、
前記半導体基板は、前記第2の面において、前記周辺領域が、それ以外の領域から盛り上がって形成されてなる半導体チップ。

【請求項6】 半導体基板と、
前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、
前記第2の面の全面に形成されてなる絶縁層と、
を有し、
前記半導体基板は、前記第2の面において、前記突出部の周辺領域が、それ以外の領域から盛り上がって形成され、
前記絶縁層は、前記周辺領域上の部分の表面が、それ以外の部分の表面から盛り上がるよう形成されてなる半導体チップ。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体チップにおいて、

前記突出部は、前記絶縁層の最も厚い部分を超える高さとなるよう形成されてなる半導体チップ。

【請求項8】 請求項1から請求項6のいずれかに記載の半導体チップにおいて、

前記突出部は、前記絶縁層の最も厚い部分と同じ高さとなるよう形成されてなる半導体チップ。

【請求項9】 半導体基板と、
前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそ

それぞれ有する複数の貫通電極と、

前記第2の面の一部の領域を避けて、前記突出部の周辺領域にそれぞれ形成されてなる複数の絶縁層と、
を有する半導体ウエハ。

【請求項10】 請求項9記載の半導体ウエハにおいて、
前記複数の絶縁層は、それぞれ、前記突出部から離れるに従って薄くなるよう
に形成されてなる半導体ウエハ。

【請求項11】 半導体基板と、
前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそ
れぞれ有する複数の貫通電極と、
前記第2の面の全面に形成されてなる絶縁層と、
を有し、
前記絶縁層は、前記突出部の周辺領域にそれぞれ形成された複数の第1の絶縁
部と、それ以外の第2の絶縁部と、を含み、
前記第2の絶縁部は、前記第1の絶縁部の最も厚い部分よりも薄く形成されて
なる半導体ウエハ。

【請求項12】 請求項11記載の半導体ウエハにおいて、
前記第1の絶縁部は、それぞれ、前記突出部から離れるに従って薄くなるよう
に形成されてなる半導体ウエハ。

【請求項13】 半導体基板と、
前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそ
れぞれ有する複数の貫通電極と、
前記第2の面の一部の領域を避けて、前記突出部の周辺領域にそれぞれ形成さ
れてなる複数の絶縁層と、
を有し、
前記半導体基板は、前記第2の面において、前記周辺領域が、それ以外の領域
から盛り上がって形成されてなる半導体ウエハ。

【請求項 14】 半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそれぞれ有する複数の貫通電極と、

前記第2の面の全面に形成されてなる絶縁層と、

を有し、

前記半導体基板は、前記第2の面において、前記突出部の周辺領域が、それ以外の領域から盛り上がって形成され、

前記絶縁層は、前記周辺領域上の部分の表面が、それ以外の部分の表面から盛り上るよう形成されてなる半導体ウエハ。

【請求項 15】 請求項9から請求項14のいずれかに記載の半導体ウエハにおいて、

それぞれの前記突出部は、前記絶縁層の最も厚い部分を超える高さとなるように形成されてなる半導体ウエハ。

【請求項 16】 請求項9から請求項14のいずれかに記載の半導体ウエハにおいて、

それぞれの前記突出部は、前記絶縁層の最も厚い部分と同じ高さとなるように形成されてなる半導体ウエハ。

【請求項 17】 スタックされてなる、請求項1から請求項8のいずれかに記載の複数の半導体チップを有し、

前記複数の半導体チップのうち上下の半導体チップが、前記貫通電極によって電気的に接続されてなる半導体装置。

【請求項 18】 請求項1から請求項8のいずれかに記載の半導体チップが実装されてなる回路基板。

【請求項 19】 請求項17記載の半導体装置が実装されてなる回路基板。

【請求項 20】 請求項1から請求項8のいずれかに記載の半導体チップを有する電子機器。

【請求項 21】 請求項17記載の半導体装置を有する電子機器。

【請求項 22】 (a) 集積回路の少なくとも一部が形成された半導体基板

に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する貫通電極を形成すること、及び、

(b) 前記第2の面の一部を避けて、前記突出部の周辺領域に絶縁層を形成すること、
を含む半導体装置の製造方法。

【請求項23】 請求項22記載の半導体装置の製造方法において、
前記絶縁層を、前記突出部から離れるに従って薄くなるように形成する半導体
装置の製造方法。

【請求項24】 (a) 集積回路の少なくとも一部が形成された半導体基板
に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する
貫通電極を形成すること、及び、

(b) 前記第2の面の全面に、絶縁層を、前記突出部の周辺領域に形成された
第1の絶縁部とそれ以外の第2の絶縁部と、を含むとともに、前記第2の絶縁部
が前記第1の絶縁部の最も厚い部分よりも薄くなるように形成すること、
を含む半導体装置の製造方法。

【請求項25】 請求項24記載の半導体装置の製造方法において、
前記第1の絶縁部を、前記突出部から離れるに従って薄くなるように形成する
半導体装置の製造方法。

【請求項26】 (a) 集積回路の少なくとも一部が形成された半導体基板
に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する
貫通電極を形成すること、及び、

(b) 前記第2の面の一部を避けて、前記突出部の周辺領域に絶縁層を形成す
ること、
を含み、

前記半導体基板を、前記第2の面において、前記周辺領域が、それ以外の領域
から盛り上がるよう形成する半導体装置の製造方法。

【請求項27】 (a) 集積回路の少なくとも一部が形成された半導体基板
に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する
貫通電極を形成すること、及び、

(b) 前記第2の面の全面に絶縁層を形成すること、
を含み、

前記半導体基板を、前記第2の面において、前記周辺領域が、それ以外の領域
から盛り上るよう形成し、

前記絶縁層を、前記周辺領域上の部分の表面が、それ以外の部分の表面から盛
り上るよう形成する半導体装置の製造方法。

【請求項28】 請求項22から請求項27のいずれかに記載の半導体装置
の製造方法において、

前記絶縁層の最も厚い部分を、前記突出部よりも低く形成する半導体装置の製
造方法。

【請求項29】 請求項22から請求項27のいずれかに記載の半導体装置
の製造方法において、

前記絶縁層を、その最も厚い部分が前記突出部と同じ高さとなるよう形成す
る半導体装置の製造方法。

【請求項30】 請求項22から請求項29のいずれかに記載の半導体装置
の製造方法において、

前記半導体基板には、複数の前記集積回路が形成され、それぞれの前記集積回
路に対応して前記貫通電極を形成し、

前記半導体基板を切断することをさらに含む半導体装置の製造方法。

【請求項31】 請求項22から請求項30のいずれかに記載の半導体装置
の製造方法において、

前記(a)～(b)工程が終了した複数の前記半導体基板をスタックすること
、及び、

複数の前記半導体基板のうち上下の半導体基板を、前記貫通電極を通して電気
的に接続すること、

をさらに含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップ、半導体ウエハ、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【従来の技術】

【特許文献1】

特開平9-312295号公報

【0003】

【発明の背景】

3次元実装形態の半導体装置が開発されている。また、半導体チップに貫通電極を形成し、半導体チップをスタックして上下の貫通電極を接合することが知られている。従来の構造では、上下の半導体チップのショート防止策が十分でなかった。あるいは、半導体チップの貫通電極が形成された面に絶縁層を形成することが考えられる。しかしながら、その場合には、上下の半導体チップ間にアンダーフィル材を充填するためのギャップが狭くなってしまう。

【0004】

本発明の目的は、スタックされた上下の半導体チップのギャップを十分に確保して端子周辺部に絶縁層を形成することでショートを防止すること、およびギャップを十分に確保することで、アンダーフィルの充填性を向上させることにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係る半導体チップは、半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、

前記第2の面の一部の領域を避けて、前記突出部の周辺領域に形成されてなる絶縁層と、

を有する。本発明によれば、絶縁層が、貫通電極の突出部の周辺領域に形成され、それ以外の領域を避けて形成されているので、スタックされた上下の半導体

チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(2) この半導体チップにおいて、

前記絶縁層は、前記突出部から離れるに従って薄くなるように形成されていてもよい。

(3) 本発明に係る半導体チップは、半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、

前記第2の面の全面に形成されてなる絶縁層と、

を有し、

前記絶縁層は、前記突出部の周辺領域に形成された第1の絶縁部と、それ以外の第2の絶縁部と、を含み、

前記第2の絶縁部は、前記第1の絶縁部の最も厚い部分よりも薄く形成されてなる。本発明によれば、第2の絶縁部が、第1の絶縁部の最も厚い部分よりも薄く形成されているので、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(4) この半導体チップにおいて、

前記第1の絶縁部は、前記突出部から離れるに従って薄くなるように形成されていてもよい。

(5) 本発明に係る半導体チップは、半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、

前記第2の面の一部の領域を避けて、前記第2の面の前記突出部の周辺領域に形成されてなる絶縁層と、

を有し、

前記半導体基板は、前記第2の面において、前記周辺領域が、それ以外の領域から盛り上がって形成されてなる。本発明によれば、第2の面において、突出部の周辺領域が、それ以外の領域から盛り上がって形成されているので、スタックされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタックされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(6) 本発明に係る半導体チップは、半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部を有する貫通電極と、

前記第2の面の全面に形成されてなる絶縁層と、

を有し、

前記半導体基板は、前記第2の面において、前記突出部の周辺領域が、それ以外の領域から盛り上がって形成され、

前記絶縁層は、前記周辺領域上の部分の表面が、それ以外の部分の表面から盛り上るよう形成されてなる。本発明によれば、絶縁層の、突出部の周辺領域上の部分の表面が、それ以外の部分の表面から盛り上るよう形成されているので、スタックされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタックされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(7) この半導体チップにおいて、

前記突出部は、前記絶縁層の最も厚い部分を超える高さとなるよう形成されてもよい。

(8) この半導体チップにおいて、

前記突出部は、前記絶縁層の最も厚い部分と同じ高さとなるよう形成されてもよい。

(9) 本発明に係る半導体ウエハは、半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそれぞれ有する複数の貫通電極と、

前記第2の面の一部の領域を避けて、前記突出部の周辺領域にそれぞれ形成されてなる複数の絶縁層と、

を有する。本発明によれば、絶縁層が、貫通電極の突出部の周辺領域に形成され、それ以外の領域を避けて形成されているので、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(10) この半導体ウエハにおいて、

前記複数の絶縁層は、それぞれ、前記突出部から離れるに従って薄くなるように形成されていてもよい。

(11) 本発明に係る半導体ウエハは、半導体基板と、

前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、

前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそれぞれ有する複数の貫通電極と、

前記第2の面の全面に形成されてなる絶縁層と、

を有し、

前記絶縁層は、前記突出部の周辺領域にそれぞれ形成された複数の第1の絶縁部と、それ以外の第2の絶縁部と、を含み、

前記第2の絶縁部は、前記第1の絶縁部の最も厚い部分よりも薄く形成されてなる。本発明によれば、第2の絶縁部が、第1の絶縁部の最も厚い部分よりも薄く形成されているので、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(12) この半導体ウエハにおいて、

前記第1の絶縁部は、それぞれ、前記突出部から離れるに従って薄くなるように形成されていてもよい。

(13) 本発明に係る半導体ウエハは、半導体基板と、
前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそ
れぞれ有する複数の貫通電極と、
前記第2の面の一部の領域を避けて、前記突出部の周辺領域にそれぞれ形成さ
れてなる複数の絶縁層と、
を有し、

前記半導体基板は、前記第2の面において、前記周辺領域が、それ以外の領域
から盛り上がって形成されてなる。本発明によれば、第2の面において、突出部
の周辺領域が、それ以外の領域から盛り上がって形成されているので、スタック
された上下の半導体チップのギャップを十分に確保してショートを防止するこ
とができる。また、スタックされた上下の半導体チップのギャップを十分に確保し
アンダーフィルの充填性を向上させることができる。

(14) 本発明に係る半導体ウエハは、半導体基板と、
前記半導体基板に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の第1及び第2の面を貫通し、前記第2の面からの突出部をそ
れぞれ有する複数の貫通電極と、
前記第2の面の全面に形成されてなる絶縁層と、
を有し、

前記半導体基板は、前記第2の面において、前記突出部の周辺領域が、それ以
外の領域から盛り上がって形成され、

前記絶縁層は、前記周辺領域上の部分の表面が、それ以外の部分の表面から盛
り上がるよう形成されてなる。本発明によれば、絶縁層の、突出部の周辺領域
上の部分の表面が、それ以外の部分の表面から盛り上がるよう形成されている
ので、スタックされた上下の半導体チップのギャップを十分に確保してショート
を防止することができる。また、スタックされた上下の半導体チップのギャップ
を十分に確保しアンダーフィルの充填性を向上させることができる。

(15) この半導体ウエハにおいて、
それぞれの前記突出部は、前記絶縁層の最も厚い部分を超える高さとなるよう

に形成されていてもよい。

(16) この半導体ウエハにおいて、

それぞれの前記突出部は、前記絶縁層の最も厚い部分と同じ高さとなるように形成されていてもよい。

(17) 本発明に係る半導体装置は、スタッツされてなる複数の上記半導体チップを有し、

前記複数の半導体チップのうち上下の半導体チップが、前記貫通電極によって電気的に接続されてなる。

(18) 本発明に係る回路基板は、上記半導体チップが実装されてなる。

(19) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(20) 本発明に係る電子機器は、上記半導体チップを有する。

(21) 本発明に係る電子機器は、上記半導体装置を有する。

(22) 本発明に係る半導体装置の製造方法は、(a) 集積回路の少なくとも一部が形成された半導体基板に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する貫通電極を形成すること、及び、

(b) 前記第2の面の一部を避けて、前記突出部の周辺領域に絶縁層を形成すること、

を含む。本発明によれば、絶縁層を、貫通電極の突出部の周辺領域に形成し、それ以外の領域を避けて形成するので、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(23) この半導体装置の製造方法において、

前記絶縁層を、前記突出部から離れるに従って薄くなるように形成してもよい。

(24) 本発明に係る半導体装置の製造方法は、(a) 集積回路の少なくとも一部が形成された半導体基板に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する貫通電極を形成すること、及び、

(b) 前記第2の面の全面に、絶縁層を、前記突出部の周辺領域に形成された

第1の絶縁部とそれ以外の第2の絶縁部と、を含むとともに、前記第2の絶縁部が前記第1の絶縁部の最も厚い部分よりも薄くなるように形成すること、

を含む。本発明によれば、第2の絶縁部が、第1の絶縁部の最も厚い部分よりも薄く形成されているので、スタッツクされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツクされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(25) この半導体装置の製造方法において、

前記第1の絶縁部を、前記突出部から離れるに従って薄くなるように形成してもよい。

(26) 本発明に係る半導体装置の製造方法は、(a) 集積回路の少なくとも一部が形成された半導体基板に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する貫通電極を形成すること、及び、

(b) 前記第2の面の一部を避けて、前記突出部の周辺領域に絶縁層を形成すること、

を含み、

前記半導体基板を、前記第2の面において、前記周辺領域が、それ以外の領域から盛り上るよう形成する。本発明によれば、第2の面において、突出部の周辺領域を、それ以外の領域から盛り上るよう形成するので、スタッツクされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツクされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(27) 本発明に係る半導体装置の製造方法は、(a) 集積回路の少なくとも一部が形成された半導体基板に、その第1及び第2の面を貫通して前記第2の面から突出する突出部を有する貫通電極を形成すること、及び、

(b) 前記第2の面の全面に絶縁層を形成すること、
を含み、

前記半導体基板を、前記第2の面において、前記周辺領域が、それ以外の領域から盛り上るよう形成し、

前記絶縁層を、前記周辺領域上の部分の表面が、それ以外の部分の表面から盛り上るよう形成する。本発明によれば、絶縁層の、突出部の周辺領域上の部分の表面を、それ以外の部分の表面から盛り上るよう形成するので、スタックされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタックされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

(28) この半導体装置の製造方法において、

前記絶縁層の最も厚い部分を、前記突出部よりも低く形成してもよい。

(29) この半導体装置の製造方法において、

前記絶縁層を、その最も厚い部分が前記突出部と同じ高さとなるよう形成してもよい。

(30) この半導体装置の製造方法において、

前記半導体基板には、複数の前記集積回路が形成され、それぞれの前記集積回路に対応して前記貫通電極を形成し、

前記半導体基板を切断することをさらに含んでもよい。

(31) この半導体装置の製造方法は、

前記(a)～(b)工程が終了した複数の前記半導体基板をスタックすること、及び、

複数の前記半導体基板のうち上下の半導体基板を、前記貫通電極を通して電気的に接続すること、

をさらに含んでもよい。

【0006】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

【0007】

図1(A)～図4は、本発明を適用した実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10を使用する。半導体基板10には、集積回路(例えばトランジスタやメモリを有する回路)12の少なくとも一部(一部又は全体)が作り込まれている。半導体基板10には、複数

の集積回路12のそれぞれの少なくとも一部が作り込まれていてもよいし、1つの集積回路12の少なくとも一部が作り込まれていてもよい。半導体基板10には、複数の電極（例えばパッド）14が形成されている。各電極14は、集積回路12に電気的に接続されている。各電極14は、アルミニウムで形成されてもよい。電極14の表面の形状は特に限定されないが矩形であることが多い。

【0008】

半導体基板10には、1層又はそれ以上の層のパッシベーション膜16, 18が形成されている。パッシベーション膜16, 18は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。図1（A）に示す例では、パッシベーション膜16上に、電極14と、集積回路12と電極14を接続する配線（図示せず）とが形成されている。また、他のパッシベーション膜18が電極14の表面の少なくとも一部を避けて形成されている。パッシベーション膜18は、電極14の表面を覆って形成した後、その一部をエッチングして電極14の一部を露出させてもよい。エッチングにはドライエッチング及びウェットエッチングのいずれを適用してもよい。パッシベーション膜18のエッチングのときに、電極14の表面がエッチングされてもよい。

【0009】

本実施の形態では、半導体基板10に、その第1の面20から凹部22（図1（C）参照）を形成する。第1の面20は、電極14が形成された側（集積回路12が形成された側）の面である。凹部22は、集積回路12の素子及び配線を避けて形成する。図1（B）に示すように、電極14に貫通穴24を形成してもよい。貫通穴24の形成には、エッチング（ドライエッチング又はウェットエッチング）を適用してもよい。エッチングは、リソグラフィ工程によってパターニングされたレジスト（図示せず）を形成した後に行ってもよい。電極14の下にパッシベーション膜16が形成されている場合、これにも貫通穴26（図1（C）参照）を形成する。電極14のエッチングがパッシベーション膜16で止まる場合、貫通穴26の形成には、電極14のエッチングに使用したエッチャントを別のエッチャントに換えててもよい。その場合、再び、リソグラフィ工程によってパターニングされたレジスト（図示せず）を形成してもよい。

【0010】

図1 (C) に示すように、貫通穴24（及び貫通穴26）と連通するように、半導体基板10に凹部22を形成する。貫通穴24（及び貫通穴26）と凹部22を合わせて、凹部といふこともできる。凹部22の形成にも、エッチング（ドライエッチング又はウェットエッチング）を適用することができる。エッチングは、リソグラフィ工程によってパターニングされたレジスト（図示せず）を形成した後に行ってもよい。あるいは、凹部22の形成に、レーザ（例えばCO₂レーザ、YAGレーザ等）を使用してもよい。レーザは、貫通穴24, 26の形成に適用してもよい。一種類のエッチャント又はレーザによって、凹部22及び貫通穴24, 26の形成を連続して行ってもよい。凹部22の形成には、サンドブラスト加工を適用してもよい。

【0011】

図1 (D) に示すように、凹部22の内側に絶縁層28を形成してもよい。絶縁層28は、酸化膜であってもよい。例えば、半導体基板10がSiから形成されている場合、絶縁層28はSiO₂であってもよいしSiNであってもよい。絶縁層28は、凹部22の底面に形成する。絶縁層28は、凹部22の内壁面に形成する。ただし、絶縁層28は、凹部22を埋め込まないように形成する。すなわち、絶縁層28によって凹部を形成する。絶縁層28は、パッシベーション膜16の貫通穴26の内壁面に形成してもよい。絶縁層28は、パッシベーション膜18上に形成してもよい。

【0012】

絶縁層28は、電極14の貫通穴24の内壁面に形成してもよい。絶縁層28は、電極14の一部（例えばその上面）を避けて形成する。電極14の表面全体を覆って絶縁層28を形成し、その一部をエッチング（ドライエッチング又はウェットエッチング）して、電極14の一部を露出させてもよい。エッチングは、リソグラフィ工程によってパターニングされたレジスト（図示せず）を形成した後に行ってもよい。

【0013】

次に、凹部22（例えば絶縁層28の内側）に導電部30（図2 (B) 参照）

を設ける。導電部30は、Cu又はWなどで形成してもよい。図2 (A) に示すように、導電部30の外層部32を形成した後に、その中心部34を形成してもよい。中心部34は、Cu, W, ドープドポリシリコン（例えば低温ポリシリコン）のいずれかで形成することができる。外層部32は、少なくともバリア層を含んでもよい。バリア層は、中心部34又は次に説明するシード層の材料が、半導体基板10（例えばSi）に拡散することを防止するものである。バリア層は、中心部34とは異なる材料（例えばTiW、TiN）で形成してもよい。中心部34を電解メッキで形成する場合、外層部32は、シード層を含んでもよい。シード層は、バリア層を形成した後に形成する。シード層は、中心部34と同じ材料（例えばCu）で形成する。なお、導電部30（少なくともその中心部34）は、無電解メッキやインクジェット方式によって形成してもよい。

【0014】

図2 (B) に示すように、外層部32をパッシベーション膜18上にも形成した場合、図2 (C) に示すように、外層部32のパッシベーション膜18上の部分をエッチングする。外層部32を形成した後、中心部34を形成することで、導電部30を設けることができる。導電部30の一部は、半導体基板10の凹部22内に位置する。凹部22の内壁面と導電部30との間には絶縁層28が介在するので、両者の電気的な接続が遮断される。導電部30は、電極14と電気的に接続されている。例えば、電極14の絶縁層28からの露出部に導電部30が接触していてもよい。導電部30の一部は、パッシベーション膜18上に位置していてもよい。導電部30は、電極14の領域内にのみ設けてもよい。導電部30は、少なくとも凹部22の上方で突出していてもよい。例えば、導電部30は、パッシベーション膜18より突出していてもよい。

【0015】

なお、変形例として、外層部32をパッシベーション膜18上に残した状態で、中心部34を形成してもよい。その場合、中心部34と連続した層がパッシベーション膜18の上方にも形成されるので、その層はエッチングする。

【0016】

図2 (D) に示すように、導電部30上に、ろう材36を設けてもよい。ろう

材36は、例えばハンダで形成し、軟ろう及び硬ろうのいずれで形成してもよい。ろう材36は、導電部30以外の領域をレジストで覆って形成してもよい。以上の工程によって、導電部30よって又はこれにろう材36を加えてバンプを形成することができる。

【0017】

本実施の形態では、図3 (A) に示すように、半導体基板10の第2の面（第1の面20とは反対側の面）38を、例えば機械研磨・研削及び化学研磨・研削の少なくとも一つの方法によって削ってもよい。この工程は、凹部22に形成された絶縁層28が露出する手前まで行う。なお、図3 (A) に示す工程を省略して、次の図3 (B) に示す工程を行ってもよい。

【0018】

図3 (B) に示すように、導電部30を第2の面38から突出させる。例えば、半導体基板10の第2の面38を、絶縁層28が露出するようにエッチングする。詳しくは、導電部30（詳しくはその凹部22内の部分）が絶縁層28に覆われた状態で突出するように、半導体基板10の第2の面38をエッチングする。エッチングは、半導体基板（例えばSi）10に対するエッチング量が絶縁層（例えばSiO₂）28に対するエッチング量よりも多くなる性質のエッチャントによって行ってもよい。エッチャントは、SF₆又はCF₄又はCl₂ガスであってもよい。エッチングは、ドライエッチング装置を使用して行ってもよい。あるいは、エッチャントは、フッ酸及び硝酸の混合液あるいはフッ酸、硝酸及び酢酸の混合液であってもよい。

【0019】

なお、図3 (A) ~図3 (B) の少なくともいずれか1つの工程は、半導体基板10の第1の面20の側に、例えば、ガラス板、樹脂層、樹脂テープ等の補強部材を設けて（例えば接着剤又は接着シートによって貼り付けて）行ってもよい。

【0020】

以上の工程により、半導体基板10の第2の面38から導電部30を突出させることができる。すなわち、第2の面38から突出する突出部42を有する貫通

電極40を形成することができる。貫通電極40は、第1及び第2の面20, 38を貫通する。

【0021】

図4に示すように、第2の面38に絶縁層50を形成する。本実施の形態では、第2の面38の全面に絶縁層50を形成する。絶縁層50は、第1及び第2の絶縁部52, 54を有するように形成する。

【0022】

第1の絶縁部52は、突出部42の周辺領域に形成されるものである。周辺領域は、突出部42を囲む領域である。また、周辺領域は、突出部42の側面からの幅が、突出部42の第2の面38からの高さの5%～100%程度の領域である。周辺領域の説明は、他の例にも該当する。第1の絶縁部52は、突出部42の側面に密着していてもよい。第1の絶縁部52は、突出部42から離れるに従って薄くなるように形成してもよい。第1の絶縁部52は、最終的には、突出部42の先端面を避けるように形成する。例えば、突出部42の側面と接触する部分の表面が、突出部42の先端面と同じ高さとなる厚さで、あるいは、突出部42の先端面よりも低くなる厚さで第1の絶縁部52を形成してもよい。第2の絶縁部54は、絶縁層50のうち第1の絶縁部52以外の部分である。第2の絶縁部54は、第1の絶縁部52の最も厚い部分よりも薄くなるように形成する。第2の絶縁部54は、第1の絶縁部52の最も薄い部分よりも薄く形成してもよい。

【0023】

絶縁層50は、樹脂で形成することができる。絶縁層50は、スピンドルコートを使用して形成してもよいし、ポッティング又は印刷によって形成してもよい。絶縁層50を、第1及び第2の絶縁部52, 54とは異なる形状で（例えば平坦に）形成した後、これをエッチングして、第1及び第2の絶縁部52, 54を形成してもよい。その場合、エッチングにはエッチング液を使用してもよい。エッチング液として、貫通電極40（及びその周囲の絶縁層28）よりも、絶縁層50を構成する樹脂に対するエッチング速度が速い溶液を使用する。突出部42が存在してその周辺領域の部分がエッチングされにくいので、第1及び第2の絶縁部

52, 54が形成される。あるいは、ポッティング又は印刷等によって、第1及び第2の絶縁部52, 54を有するように絶縁層50を形成してもよい。

【0024】

本実施の形態によれば、第2の絶縁部54が、第1の絶縁部52の最も厚い部分よりも薄く形成されているので、スタックされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタックされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

【0025】

図5は、上述した実施の形態の第1の変形例を示す図である。上述した絶縁層50は、その最も厚い部分（第1の絶縁部52の突出部42との接触部）が、突出部42よりも低く形成されている。すなわち、突出部42は、絶縁層50の最も厚い部分を超える高さとなるように形成されてなる。一方、図5に示す絶縁層60は、その最も厚い部分（第1の絶縁部62の突出部42との接触部）が、突出部42と同じ高さになるように形成されている。すなわち、突出部42は、絶縁層60の最も厚い部分と同じ高さとなるように形成されてなる。それ以外の内容は、上述した実施の形態で説明した内容が該当する。

【0026】

図6は、上述した実施の形態の第2の変形例を示す図である。図6に示す例では、絶縁層150を、突出部42の周辺領域（例えば周辺領域のみ）に形成する。周辺領域の内容は、上述した通りである。絶縁層150は、突出部42から離れるに従って薄くなるように形成してもよい。絶縁層150は、第2の面38の全面に形成せずに、その一部を避けて形成する。絶縁層150は、その最も厚い部分（突出部42との接触部）が、突出部42よりも低く形成されている。すなわち、突出部42は、絶縁層50の最も厚い部分を超える高さとなるように形成されてなる。絶縁層150には、図4に示す第1の絶縁部52の内容を適用してもよい。この例によれば、絶縁層150が、貫通電極40の突出部42の周辺領域に形成され、それ以外の領域を避けて形成されているので、スタックされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。

。また、スタックされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。それ以外の内容は、上述した実施の形態で説明した内容が該当する。

【0027】

図7は、上述した実施の形態の第3の変形例を示す図である。図7に示す例では、絶縁層160を、突出部42の周辺領域（例えば周辺領域のみ）に形成する。周辺領域の内容は、上述した通りである。絶縁層160は、突出部42から離れるに従って薄くなるように形成してもよい。絶縁層160は、第2の面38の全面に形成せずに、その一部を避けて形成する。絶縁層160は、その最も厚い部分（突出部42との接触部）が、突出部42と同じ高さになるように形成されている。すなわち、突出部42は、絶縁層160の最も厚い部分と同じ高さとなるように形成されてなる。絶縁層160には、図4に示す第1の絶縁部52の内容を適用してもよい。この例によれば、絶縁層160が、貫通電極40の突出部42の周辺領域に形成され、それ以外の領域を避けて形成されているので、スタックされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタックされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。それ以外の内容は、上述した実施の形態で説明した内容が該当する。

【0028】

図8は、上述した実施の形態の第4の変形例を示す図である。図8に示す例では、半導体基板210を、第2の面238において、突出部42の周辺領域（その詳細は上述した通り）が、それ以外の領域から盛り上がるよう形成する。第2の面238の形状は、第2の面238をエッチングするときに、突出部42の周辺領域でエッチングの速度が遅くなることによって形成されてもよい。第2の面238には、絶縁層250を形成する。絶縁層250は、第2の面238の全面に形成してもよい。絶縁層250は、突出部42の周辺領域上の部分の表面が、それ以外の部分の表面から盛り上がるよう形成する。絶縁層250の表面形状は、第2の面238の表面形状に対応していてもよい。絶縁層250には、図4に示す絶縁層50又は図5に示す絶縁層60の内容を適用してもよい。この例

によれば、絶縁層250の、突出部42の周辺領域上の部分の表面が、それ以外の部分の表面から盛り上がるよう形成されているので、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。それ以外の内容は、上述した実施の形態で説明した内容が該当する。

【0029】

図9は、上述した実施の形態の第5の変形例を示す図である。図9に示す例では、第4の変形例で説明した半導体基板210を使用する。第2の面238には、絶縁層260を形成する。絶縁層260は、突出部42の周辺領域に（例えば周辺領域のみに）形成する。絶縁層260は、第2の面238の一部（周辺領域以外の領域）を避けて形成する。絶縁層260には、図6に示す絶縁層150又は図7に示す絶縁層160の内容を適用してもよい。この例によれば、第2の面238において、突出部42の周辺領域が、それ以外の領域から盛り上がって形成されているので、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することができる。また、スタッツされた上下の半導体チップのギャップを十分に確保しアンダーフィルの充填性を向上させることができる。

それ以外の内容は、上述した実施の形態で説明した内容が該当する。

【0030】

図10は、上述した実施の形態の第6の変形例を示す図である。上述した実施の形態では、電極14の領域内に貫通電極40が形成されている。これに対し、図10に示す例では、電極314の領域外に貫通電極340が形成されている。電極314と貫通電極340は、配線312によって電気的に接続されている。それ以外の構造は、上述した実施の形態又は第1～5の変形例いずれの内容を適用してもよい。

【0031】

続いて、図4に示す本実施の形態の説明に戻るが、以下の説明の内容は、上述した変形例の内容と置き換えることができる。エッチングによって第1及び第2

の絶縁部52、54を形成するのであれば、突出部42の先端面を覆うように絶縁層50を一旦形成し、その後これをエッチングしてもよい。その場合、エッチングを行う前に絶縁層50を研削又は研磨してもよい。絶縁層50の研削又は研磨と連続して、あるいはこれとは別に、貫通電極40を研削又は研磨してもよい。貫通電極40が絶縁層28に覆われた状態（図3（B）参照）で絶縁層50を形成し、絶縁層28を研削又は研磨して、貫通電極40を露出させてもよい。

【0032】

貫通電極40（詳しくは突出部42）の新生面を露出させてもよい。例えば、新生面（構成材料のみからなる面、すなわち酸化膜や堆積した有機物が除去された面）が露出するまで、突出部42を研削又は研磨してもよい。研削には砥石を使用してもよい。例えば、#100～#4000程度の粒度の砥石を使用することができるが、#1000～#4000程度の粒度の砥石を使用すれば、絶縁膜28の破損を防止することができる。研磨には、研磨布を使用してもよい。研磨布は、スエードタイプ又は発砲ウレタンタイプのものであっても、不織布であってもよい。研磨には、Na、NH₄などのアルカリ陽イオン溶液中に研磨粒子としてコロイダルシリカを分散させたスラリーを使用してもよい。研磨粒子は、0.03μm～10μm程度の粒径を有し、10wt%程度の比率で分散してもよい。スラリーは、キレート剤、アンモニア、過酸化水素水等の添加剤を含んでもよい。研磨圧力は、5g/cm²～1kg/cm²程度であってもよい。

【0033】

絶縁層28を形成した場合、貫通電極40よりも先に絶縁層28を研磨又は研削する。絶縁層28の研磨又は研削と、貫通電極40の研磨又は研削を連続的に行ってもよい。絶縁層28の少なくとも凹部22の底面に形成された部分を除去する。そして、貫通電極40を露出させ、さらにその新生面を露出させてもよい。貫通電極40の新生面を露出させ、貫通電極40の先端部の外周面が絶縁層28に覆われていてもよい。貫通電極40の中心部34の新生面を露出させないように外層部32（例えばバリア層）の新生面を露出させてもよいし、外層部32及び中心部34の新生面を露出させてもよい。貫通電極40の新生面を露出させれば、電気的に接続するときの特性に優れた貫通電極を形成することができる。

なお、貫通電極40は、新生面が酸化する前（例えば、新生面が露出した直後又はその後できるだけ早く（例えば24時間以内））に、電気的に接続してもよい。

【0034】

以上の工程により、例えば、貫通電極40及び絶縁層50を有する半導体ウエハ70（図11参照）が得られる。この場合、半導体基板10には、複数の集積回路12が形成され、それぞれの集積回路12に対応して貫通電極40が形成されている。その詳しい構造は、上述した製造方法から導くことができる内容である。あるいは、貫通電極40及び絶縁層50を有する半導体チップ80（図13参照）が得られる。この場合、半導体基板10には、1つの集積回路12が形成されている。その詳しい構造は、上述した製造方法から導くことができる内容である。

【0035】

半導体ウエハ70は、切断（例えばダイシング）してもよい。例えば、図11に示すように、貫通電極40及び絶縁層50を有する半導体ウエハ70を切断（例えばダイシング）する。切断には、カッタ（例えばダイサ）72又はレーザ（例えばCO₂レーザ、YAGレーザ等）を使用してもよい。これにより、貫通電極40及び絶縁層50を有する半導体チップ80（図13参照）が得られる。その構造は、上述した製造方法から導くことができる内容である。

【0036】

半導体装置の製造方法は、複数の半導体基板10をスタックすることを含んでもよい。例えば、図12に示すように、貫通電極40及び絶縁層50を有する複数の半導体ウエハ70をスタックしてもよい。あるいは、図13に示すように、貫通電極40及び絶縁層50を有する複数の半導体チップ80をスタックしてもよい。または、貫通電極40及び絶縁層50を有する半導体チップ80と、貫通電極40及び絶縁層50を有する複数の半導体ウエハ70をスタックしてもよい。

【0037】

スタックされた複数の半導体基板10のうち、上下の半導体基板10を、貫通

電極40を通して電気的に接続する。詳しくは、上下の貫通電極40同士を電気的に接続してもよい。電気的接続には、ハンダ接合又は金属接合を適用してもよいし、異方性導電材料（異方性導電膜又は異方性導電ペースト等）を使用してもよいし、絶縁性接着剤の収縮力を利用した圧接を適用してもよいし、これらの組み合わせであってもよい。

【0038】

図14は、本発明の実施の形態に係る半導体装置（スタック型半導体装置）を示す図である。スタック型半導体装置は、上述した貫通電極40を有する複数の半導体チップ80を含む。複数の半導体チップ80はスタックされている。上下の貫通電極40同士あるいは貫通電極40と電極14は、ろう材82によって接合されていてもよい。貫通電極42の突出部42の周辺領域には、絶縁層（例えば図7に示す絶縁層160）が形成されている。ろう材82は、絶縁層160上に載るようになっているが、半導体チップ80の第2の面38には接触しないようになっている。したがって、ろう材82等によるショートが防止される。また、絶縁層160が上述した形状であるため、上下の半導体チップ80間に、十分なギャップを形成することができる。このギャップには、絶縁材料（例えば接着剤・樹脂・アンダーフィル材）84を設けることができる。十分なギャップが確保されるため、絶縁材料84の充填がしやすい。絶縁材料84によって、貫通電極40の接合状態が維持又は補強される。本実施の形態に係る半導体装置には、本実施の形態又はその変形例に係る半導体装置の製造方法（図1（A）～図13参照）から導くことができる内容を適用することができる。

【0039】

スタックされた複数の半導体チップ80のうち1つ（例えば第2の面38の方向に最も外側の半導体チップ80）には、貫通電極を有しない半導体チップ90がスタックされていてもよい。半導体チップ90の内容は、貫通電極を有しない点を除き、半導体チップ80の内容が該当する。半導体チップ80の貫通電極40は、半導体チップ90の電極94に接合してもよい。

【0040】

スタックされた複数の半導体チップ80は、配線基板100に実装されてもよ

い。スタックされた複数の半導体チップ80のうち、最も外側の半導体チップ80は、配線基板（例えばインターポーラ）100に実装してもよい。その実装にはフェースダウンボンディングを適用してもよい。その場合、第1の面20の方向に最も外側（例えば最も下側）の貫通電極40を有する半導体チップ80が、配線基板100に実装される。例えば、貫通電極40の第1の面20からの突出部又は電極14を配線パターン102に電気的に接続（例えば接合）してもよい。半導体チップ80と配線基板100の間には、絶縁材料（例えば接着剤・樹脂・アンダーフィル材）84を設けてもよい。絶縁材料84によって、貫通電極40又は電極14の接合状態が維持又は補強される。

【0041】

あるいは、図示しない例として、スタックされた複数の半導体チップ80を、配線基板100にフェースアップボンディングしてもよい。その場合、貫通電極40の第2の面38からの突出部42を配線パターン102に電気的に接続（例えば接合）してもよい。配線基板100には、配線パターン102に電気的に接続された外部端子（例えばハンダボール）104が設けられている。あるいは、半導体チップ80に応力緩和層を形成し、その上に電極14から配線パターンを形成し、その上に外部端子を形成してもよい。その他の内容は、上述した製造方法から導くことができる。

【0042】

図15には、複数の半導体チップがスタックされてなる半導体装置1が実装された回路基板1000が示されている。複数の半導体チップは、上述した貫通電極40によって電気的に接続されている。上述した半導体装置を有する電子機器として、図16にはノート型パーソナルコンピュータ2000が示され、図17には携帯電話3000が示されている。

【0043】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置

き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図1】 図1（A）～図1（D）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図2】 図2（A）～図2（D）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図3】 図3（A）～図3（B）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図4】 図4は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図5】 図5は、本発明の実施の形態の第1の変形例を説明する図である。

【図6】 図6は、本発明の実施の形態の第2の変形例を説明する図である。

【図7】 図7は、本発明の実施の形態の第3の変形例を説明する図である。

【図8】 図8は、本発明の実施の形態の第4の変形例を説明する図である。

【図9】 図9は、本発明の実施の形態の第5の変形例を説明する図である。

【図10】 図10は、本発明の実施の形態の第6の変形例を説明する図である。

【図11】 図11は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図12】 図12は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図13】 図13は、本発明の実施の形態に係る半導体装置の製造方法を

説明する図である。

【図14】 図14は、本発明の実施の形態に係る半導体装置を示す図である。

【図15】 図15は、本発明の実施の形態に係る回路基板を示す図である。

【図16】 図16は、本発明の実施の形態に係る電子機器を示す図である。

【図17】 図17は、本発明の実施の形態に係る電子機器を示す図である。

【符号の説明】

10 半導体基板、 12 集積回路、 20 第1の面、 38 第2の面、

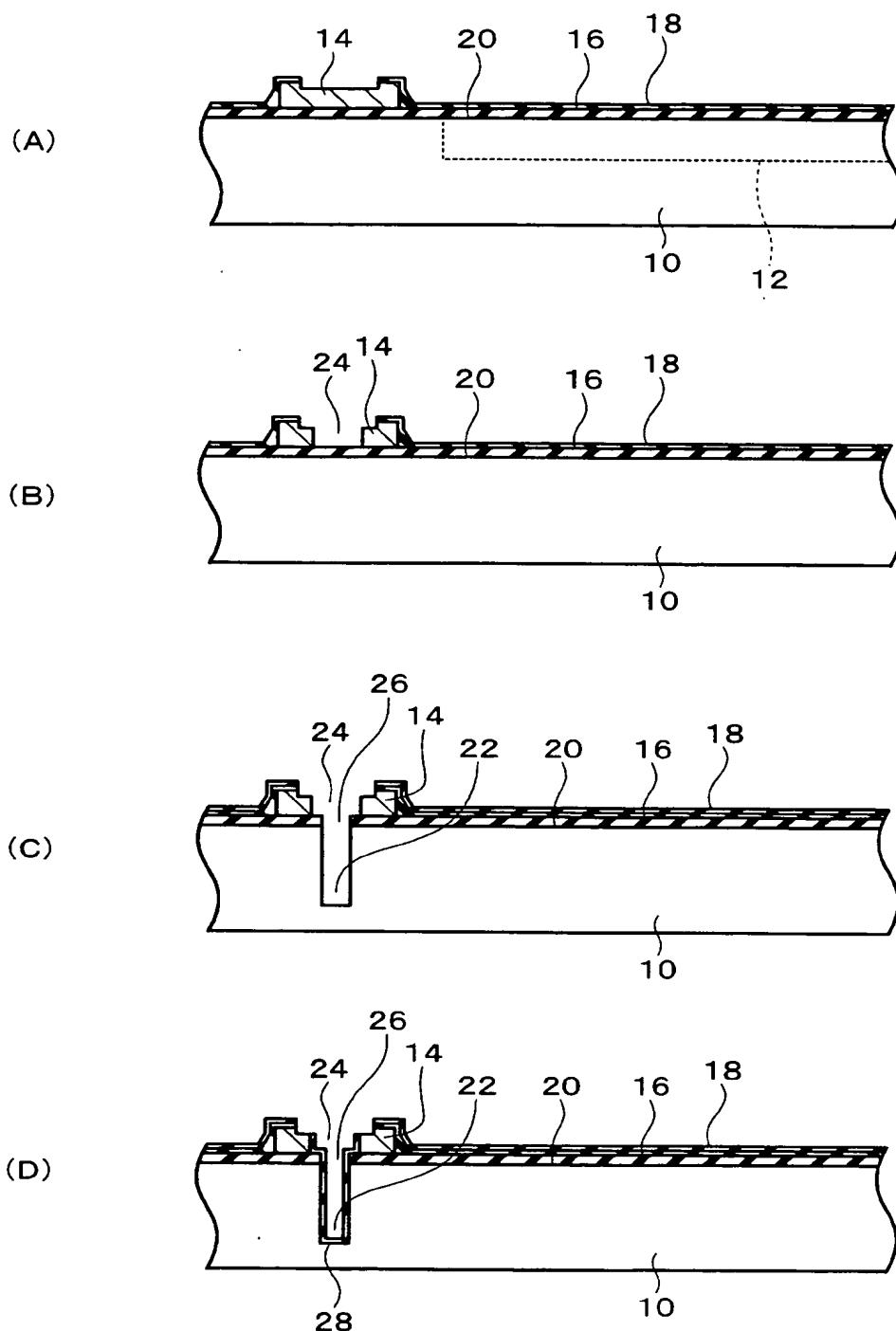
40 貫通電極、 42 突出部、 50 絶縁層、 52 第1の絶縁部、

54 第2の絶縁部

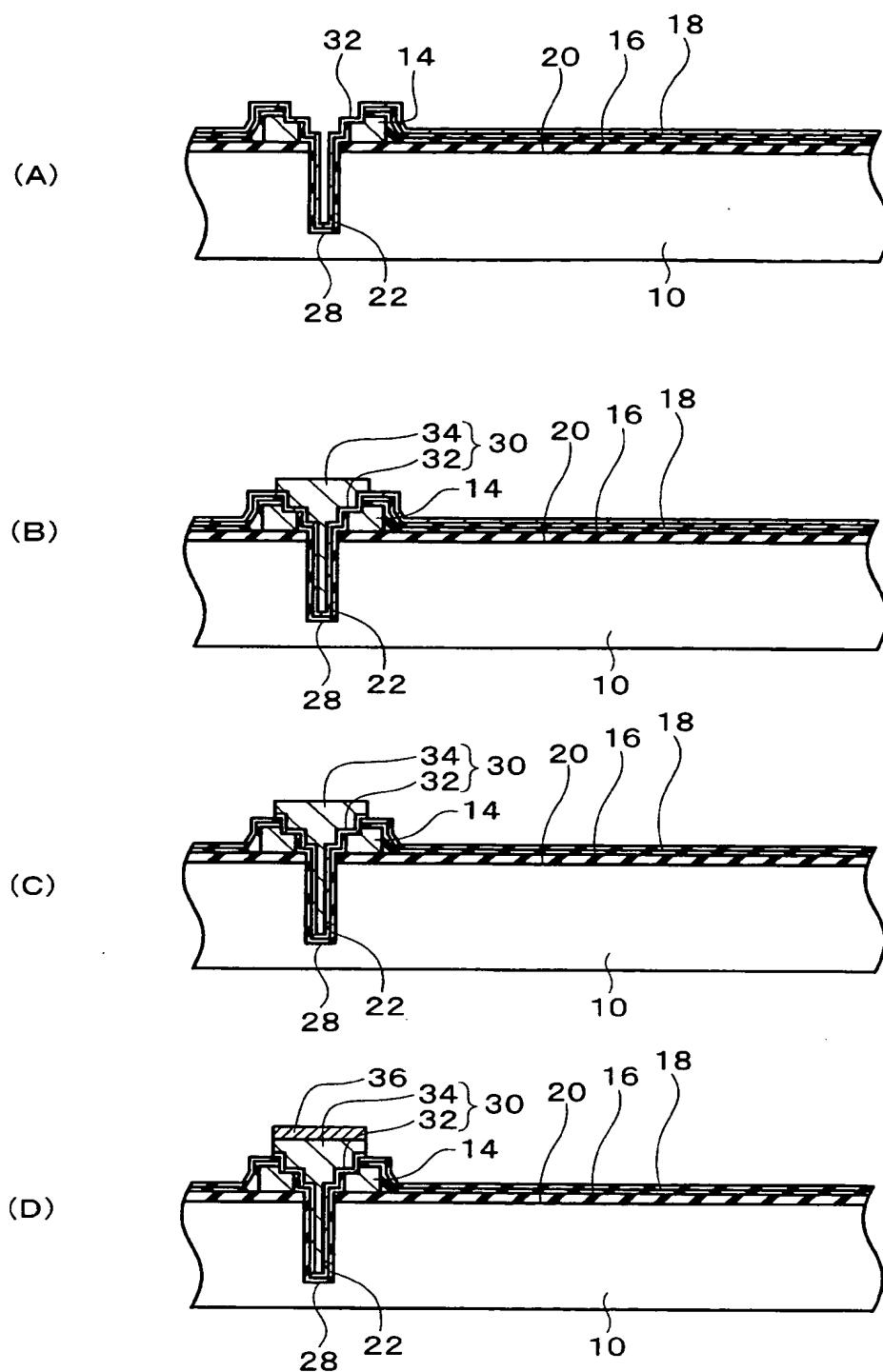
【書類名】

図面

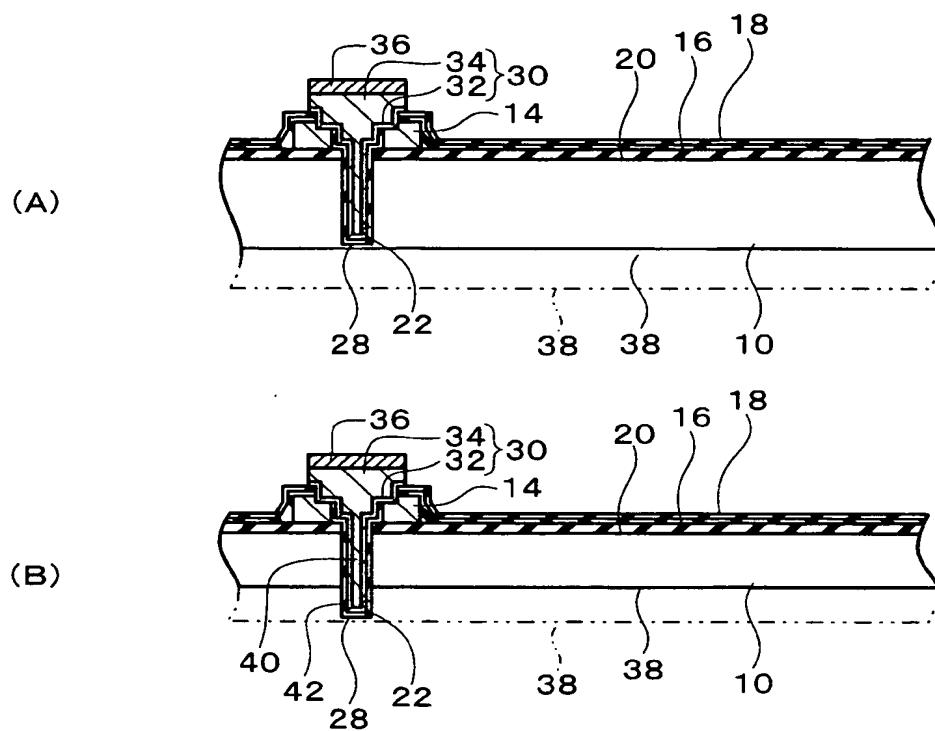
【図 1】



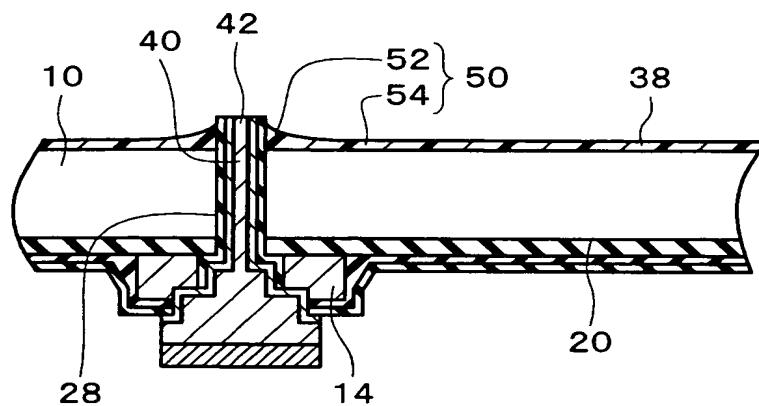
【図2】



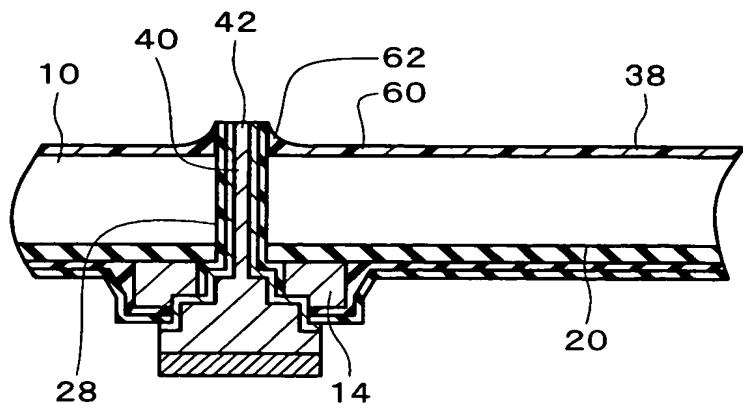
【図3】



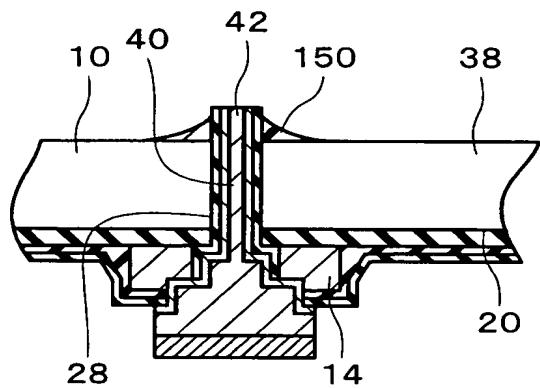
【図4】



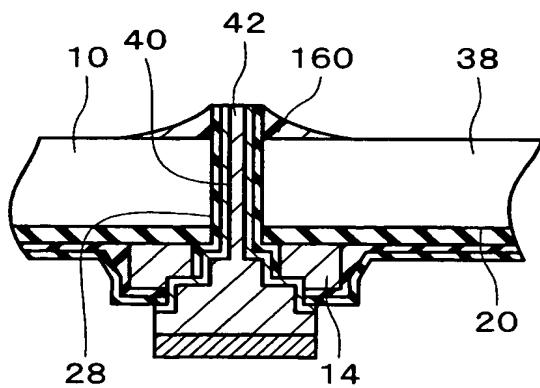
【図 5】



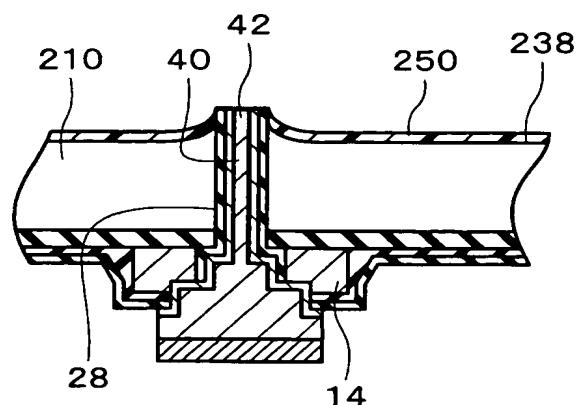
【図 6】



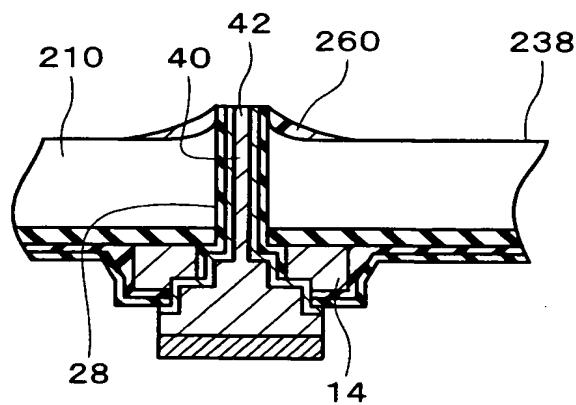
【図 7】



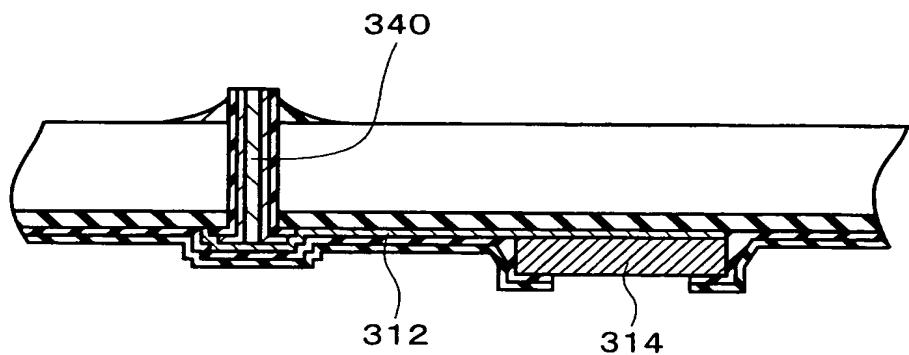
【図8】



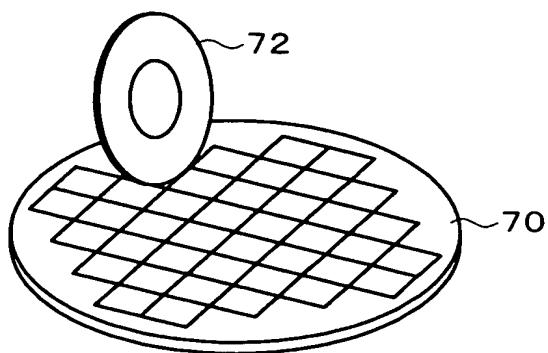
【図9】



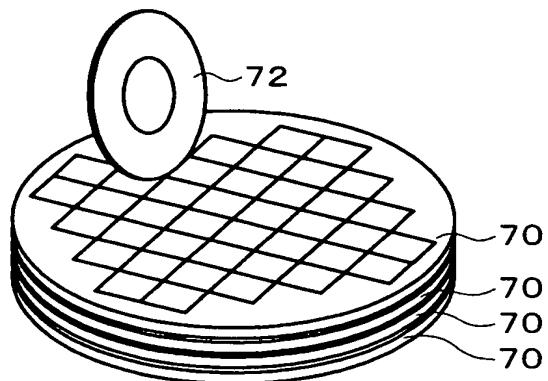
【図10】



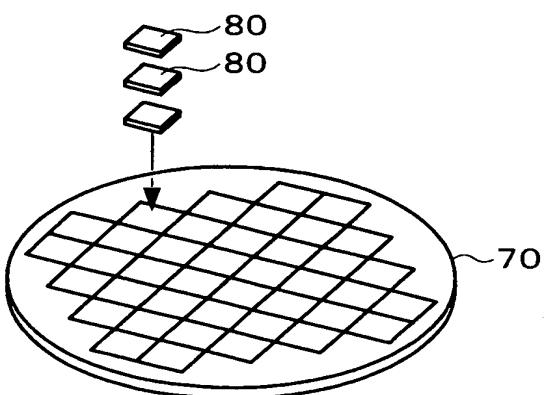
【図11】



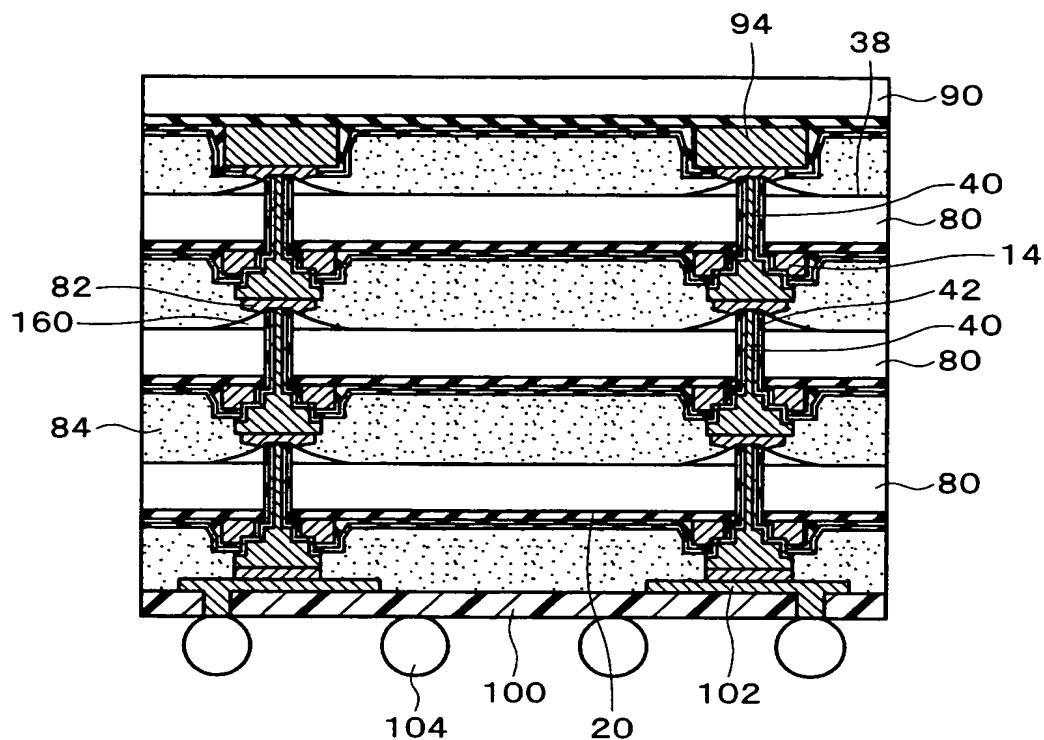
【図12】



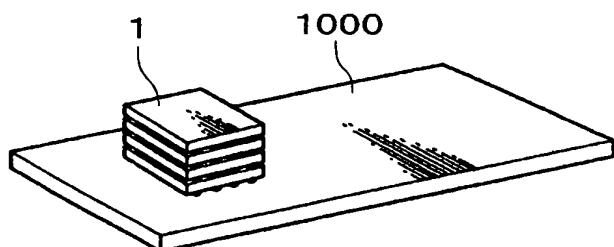
【図13】



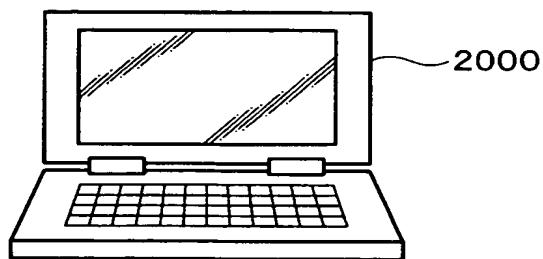
【図14】



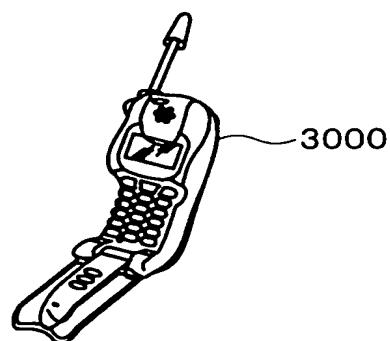
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、スタッツされた上下の半導体チップのギャップを十分に確保してショートを防止することにある。

【解決手段】 半導体チップは、半導体基板10と、半導体基板10の第1及び第2の面20, 38を貫通し第2の面38からの突出部42を有する貫通電極40と、第2の面38の全面に形成されてなる絶縁層50と、を有する。絶縁層50は、突出部42の周辺領域に形成された第1の絶縁部52と、それ以外の第2の絶縁部54と、を含む。第2の絶縁部54は、第1の絶縁部52の最も厚い部分よりも薄く形成されてなる。

【選択図】 図4

特願 2003-007281

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社